

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of
OOWAKI *et al.*
Application Number: To be assigned
Filed: Concurrently herewith
For: LIQUID CRYSTAL DISPLAY DEVICE

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

#2
11046 U.S. PTO
09/839163
04/23/01

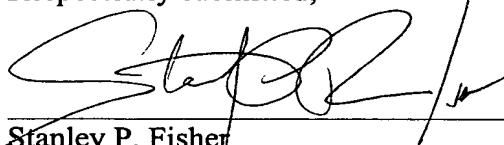
**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of April 28, 2000, the filing date of the corresponding Japanese patent application 2000-130649.

The certified copy of corresponding Japanese patent application 2000-130649 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,



Stanley P. Fisher
Registration Number 24,344

JUAN CARLOS A. MARQUEZ
Registration No. 34,072

REED SMITH HAZEL & THOMAS LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200

April 23, 2001

330000285 us1

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

11046 U.S. PTO
09/839163



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 4月28日

出 願 番 号
Application Number:

特願2000-130649

出 願 人
Applicant(s):

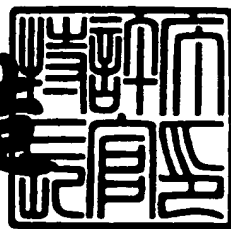
株式会社日立製作所
日立デバイスエンジニアリング株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月23日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3021627

【書類名】 特許願

【整理番号】 330000285

【提出日】 平成12年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 大脇 義雄

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

【氏名】 五十嵐 陽一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データの前に位置する前記有効表示データと同一レベルのデータを送出することを特徴とする液晶表示装置。

【請求項 2】 液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データに連続する前記有効表示データと同一レベルのデータを送出することを特徴とする液晶表示装置。

【請求項 3】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 4】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 5】 前記複数の駆動回路の少なくとも一つは、前記液晶表示素子の信号線に接続されない出力端子を有し、

前記無効表示データは、前記液晶表示素子の信号線に接続されない出力端子に接続される内部回路用の表示データであることを特徴とする請求項 3 または請求項 4 に記載の液晶表示装置。

【請求項 6】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第 1 の格納手段と、

外部から入力される偶数番目の駆動回路用の表示データを格納する第 2 の格納手段とを有し、

前記第 1 の格納手段、および第 2 の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、かつ、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 7】 前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第 1 の格納手段から読み出された有効表示データを、前記無効表示データとして送出することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】 前記表示制御装置は、前記第 2 の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データの前に位置する前記奇数番目の駆動回路用の有効表示データを、前記第 2 の格納手段に格納することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】 液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第 1 の格納手段と、

外部から入力される偶数番目の駆動回路用の表示データを格納する第 2 の格納手段とを有し、

前記第 1 の格納手段、および第 2 の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、かつ、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする液晶表示装置。

【請求項 1 0】 前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第 2 の格納手段から読み出された有効表示データを、前記無効表示データとして送出することを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 1 1】 前記表示制御装置は、前記第 1 の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記第 1 の格納手段に格納することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 1 2】 前記表示制御装置は、前記複数の駆動回路に送出するクロック信号をカウントして、無効表示データの送出タイミングを検出することを特徴とする請求項 7 または請求項 1 0 に記載の液晶表示装置。

【請求項 1 3】 前記複数の駆動回路の少なくとも一つは、前記液晶表示素子の信号線に接続されない出力端子を有し、

前記無効表示データは、前記液晶表示素子の信号線に接続されない出力端子に接続される内部回路用の表示データであることを特徴とする請求項 6 または請求項 9 に記載の液晶表示装置。

【請求項 1 4】 液晶表示素子と、前記液晶表示素子を制御する表示制御装置とを備える液晶表示装置であって、

前記表示制御装置は、外部から入力されるディスプレイタイミング信号内の表示データ数に基づき、入力モードを変更することを特徴とする液晶表示装置。

【請求項 1 5】 前記表示制御装置は、前記ディスプレイタイミング信号内の外部クロック数をカウントするカウント手段と、

前記カウント手段でのカウント数に基づき動作モードを判別する判別手段と、

前記判別手段での判別結果に基づき内部で入力モードを変更するモード変更手段とを有することを特徴とする請求項 1 4 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係わり、特に、駆動回路（ドレインドライバ）間でデジタル信号を転送する方式の液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】

STN (Super Twisted Nematic) 方式、あるいは TFT (Thin Film Transistor) の液晶表示モジュールは、ノート型パソコン等の表示装置として広く使用されている。

これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路（ドレインドライバおよびゲートドライバ）、表示制御装置（または、タイミングコントローラ）、電源回路を備えている。

なお、このような液晶表示装置は、例えば、特願平 9 - 7 1 3 2 8 号に記載されている。

【0003】

【発明が解決しようとする課題】

近年、液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、XGA 表示モードの 1 0 2 4 × 7 6 8 画素、SXGA 表示モードの 1 2 8 0 × 1 0 2 4 画素、UXGA 表示モードの 1 6 0 0 × 1 2 0 0 画素と高解像度化が要求されている。

このような、液晶表示パネルの高解像度化に伴い、表示制御装置から奇数番目のドレインドライバに対して第 1 の表示データ取込用のクロック信号を供給し、また、偶数番目のドレインドライバに対して第 2 の表示データ取込用のクロック信号を供給するとともに、表示制御装置から奇数番目のドレインドライバ用の表示データ、および偶数番目のドライバ用の表示データとを交互にドレインドライ

バに送出するようにして、表示制御装置からドレインドライバに供給される表示データ取込用のクロック信号の周波数を低減するようにしたものがある。

【0004】

前述したような液晶表示装置において、コスト低減のために、ドレインドライバとして汎用のものを使用する場合があった。

この場合に、全ドレインドライバの出力端子数に比して、液晶表示パネルのドレイン信号線が少なくなる場合があり、このような場合、従来では、余分となるドレインドライバの出力端子には、液晶表示パネルのドレイン信号線を接続しないで使用していた。

しかしながら、ドレインドライバの回路構成上、このような余分な出力端子を有するドレインドライバにも、全ての出力端子分の表示データを供給する必要があった。

ここで、この余分な出力端子分の表示データを、以下、無効表示データと称し、それ以外の出力端子分の表示データを有効表示データと称する。

そして、従来では、前述の無効表示データとして、H i g hレベル（以下、単に、Hレベルという）、あるいは、L o wレベル（以下、単に、Lレベルという）を出力していた。

【0005】

しかしながら、この従来の方法では、表示データを転送するバスライン上のデータの並びとして、例えば、Hレベルの無効表示データ→Lレベルの有効表示データ→Hレベルの無効表示データの繰り返し、あるいは、Lレベルの無効表示データ→Hレベルの有効表示データ→Lレベルの無効表示データの繰り返しが生じ、バスライン上の転送周波数が上昇する場合があった。

一方、パーソナルコンピュータ等の情報機器では、当該情報機器から発生する放射電磁雑音の発生量が規制されている。

そして、液晶表示装置において、少しでも放射電磁雑音の発生量を少なくするために、バスライン上の転送周波数を低減する方法が有効であるが、前述したように、従来の液晶表示装置では、無効表示データを含む表示データを転送する際に、バスライン上の転送周波数が上昇するという問題点があった。

【 0 0 0 6 】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、表示制御装置から駆動回路に無効表示データを含む表示データを転送する際に、バスライン上の転送周波数を低減することが可能となる技術を提供することにある。

また、本発明の他の目的は、液晶表示装置において、表示制御装置の共通化を図り、コストを低減することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【 0 0 0 7 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

即ち、本発明は、液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データの前に位置する前記有効表示データと同一レベルのデータを送出することを特徴とする。

また、本発明は、液晶表示素子と、複数の駆動回路と、無効表示データを含む表示データを前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、無効表示データを前記複数の駆動回路に送出する際に、前記無効表示データとして、前記無効表示データに連続する前記有効表示データと同一レベルのデータを送出することを特徴とする。

【 0 0 0 8 】

また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データの前に位置する、前記奇数番目の駆

動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする。

また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データと同一レベルのデータを、前記無効表示データとして送出することを特徴とする。

【 0 0 0 9 】

また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第1の格納手段と、外部から入力される偶数番目の駆動回路用の表示データを格納する第2の格納手段とを有し、前記第1の格納手段、および第2の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、かつ、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする。

【 0 0 1 0 】

本発明の実施の形態では、前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第1の格納手段から読み出された有効表示データを、前記無効表示データとして送出する。

本発明の実施の形態では、前記表示制御装置は、前記第2の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データの前に位置する前記奇数番目の駆動回路用の有効表示データを、前記第2の格納手段に格納する。

【 0 0 1 1 】

また、本発明は、液晶表示素子と、複数の駆動回路と、奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、外部から入力される奇数番目の駆動回路用の表示データを格納する第1の格納手段と、外部から入力される偶数番目の駆動回路用の表示データを格納する第2の格納手段とを有し、前記第1の格納手段、および第2の格納手段から交互に表示データを読み出して前記複数の駆動回路に送出し、かつ、前記奇数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記無効表示データとして送出することを特徴とする。

【0012】

本発明の実施の形態では、前記表示制御装置は、無効表示データの送出タイミングを検出して、前記第2の格納手段から読み出された有効表示データを、前記無効表示データとして送出する。

本発明の実施の形態では、前記表示制御装置は、前記第1の格納手段に格納する表示データが無効表示データである場合に、前記無効表示データに連続する、前記偶数番目の駆動回路用の有効表示データを、前記第1の格納手段に格納する。

【0013】

本発明の実施の形態では、前記表示制御装置は、前記複数の駆動回路に送出するクロック信号をカウントして、無効表示データの送出タイミングを検出する。

本発明の実施の形態では、前記複数の駆動回路の少なくとも一つは、前記液晶表示素子の信号線に接続されない出力端子を有し、前記無効表示データは、前記液晶表示素子の信号線に接続されない出力端子に接続される内部回路用の表示データある。

【0014】

また、本発明は、液晶表示素子と、前記液晶表示素子を制御する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、外部から入力されるディスプレイタイミング信号内の表示データ数に基づき、入力モードを変更するこ

とを特徴とする。

また、本発明の実施の形態では、前記表示制御装置は、前記ディスプレイタイミング信号内の外部クロック数をカウントするカウント手段と、前記カウント手段でのカウント数に基づき動作モードを判別する判別手段と、前記判別手段での判別結果に基づき内部で入力モードを変更するモード変更手段とを有する。

【 0 0 1 5 】

前記手段によれば、表示制御装置から無効表示データを含む表示データを各駆動回路に転送する際に、表示データのレベルが変化しないようにしたので、バスライン上の転送周波数を低減することが可能となる。

また、前記手段によれば、表示制御装置は、外部から入力されるディスプレイタイミング信号内の表示データ数に基づき、動作モードを変更するようにしたので、表示制御装置として各動作モード毎に共通のものを使用することができ、これにより、コストを低減することが可能となる。

【 0 0 1 6 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施の形態 1〕

図 1 は、本発明の実施の形態 1 の T F T 方式の液晶表示モジュールの概略構成を示すブロック図である。

本実施の形態の液晶表示モジュールは、液晶表示パネル（T F T - L C D）10 の長辺側の一辺にドレインドライバ 1 3 0 が配置され、また、液晶表示パネル 10 の短辺側の一辺に、ゲートドライバ 1 4 0 が配置される。

インタフェース部 1 0 0 はインタフェース基板に実装され、また、ドレインドライバ 1 3 0、ゲートドライバ 1 4 0 も、それぞれ専用のプリント基板に実装される。

【 0 0 1 7 】

図 2 は、図 1 に示す液晶表示パネル 1 0 の一例の等価回路を示す図である。

同図に示すように、液晶表示パネル 10 は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する 2 本の信号線（ドレイン信号線（D）またはゲート信号線（G））と、隣接する 2 本の信号線（ゲート信号線（G）またはドレイン信号線（D））との交差領域内に配置される。

各画素は薄膜トランジスタ（TFT1, TFT2）を有し、各画素の薄膜トランジスタ（TFT1, TFT2）のソース電極は、画素電極（ITO1）に接続され、画素電極（ITO1）とコモン電極（ITO2）との間に液晶層が設けられるので、薄膜トランジスタ（TFT1, TFT2）のソース電極とコモン電極との間には、液晶容量（CLC）が等価的に接続される。

また、薄膜トランジスタ（TFT1, TFT2）のソース電極と前段のゲート信号線（G）との間には、付加容量（CADD）が接続される。

【0018】

図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

図2に示す例では、前段のゲート信号線（G）とソース電極との間に付加容量（CADD）が形成されているが、図3に示す例の等価回路では、コモン電極（ITO2）に供給されるVCOMの電圧が印加される共通信号線（COM）とソース電極との間に保持容量（CSTG）が形成されている点が異なっている。

なお、図2、図3において、ARは表示領域である。

本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線（G）パルスが付加容量（CADD）を介して画素電極に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。

また、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、さらに、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

【0019】

図2、図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ（TFT1, TFT2）のドレイン電極は、それぞれドレイン信号線（D）に接続され、各ドレイン信号線（D）は、列方向の各画素の液晶に

階調電圧を印加するドレインドライバ130に接続される。

また、行方向に配置された各画素における薄膜トランジスタ（TFT1，TFT2）のゲート電極は、それぞれゲート信号線（G）に接続され、各ゲート信号線（G）は、1水平走査時間、行方向の各画素の薄膜トランジスタ（TFT1，TFT2）のゲート電極に走査駆動電圧（正のバイアス電圧あるいは負のバイアス電圧）を供給するゲートドライバ140に接続される。

【0020】

図1に示すインタフェース部100は、表示制御装置110と電源回路120とから構成される。

表示制御装置110は、1個の半導体集積回路（LSI）から構成され、コンピュータ本体側から送信されてくるクロック信号（CK）、ディスプレイタイミング信号（DTMG）、水平同期信号（HSYNC）、垂直同期信号（VSYNC）の各表示制御信号および表示用データ（R・G・B）を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。

その際、表示制御装置110は、ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック信号（CL2A，CL2B）を信号線を介して出力する。

この表示データラッチ用クロック信号（CL2A，CL2B；以下、単に、クロック信号という）等については後述する。

本体コンピュータ側からの表示データは6ビットあるいは8ビットで、1画素単位、即ち、赤（R）、緑（G）、青（B）の各データを1つの組にして単位時間毎に転送される。

【0021】

表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、ドレインドライバ130のラッ

チ回路に蓄えていた表示データを液晶表示パネル 1 0 のドレイン信号線 (D) に出力するための表示制御信号である出力タイミング制御用クロック信号 (CL1) を信号線を介してドレインドライバ 1 3 0 に出力する。

また、表示制御装置 1 1 0 は、垂直同期信号入力後に、第 1 番目のディスプレイタイミング信号が入力されると、これを第 1 番目の表示ラインと判断して信号線を介してゲートドライバ 1 4 0 にフレーム開始指示信号 (FLM) を出力する。

さらに、表示制御装置 1 1 0 は、水平同期信号に基づいて、1 水平走査時間毎に、順次液晶表示パネル 1 0 の各ゲート信号線 (G) に正のバイアス電圧を印加するように、信号線を介してゲートドライバ 1 4 0 へ 1 水平走査時間周期のシフトクロック信号 (CL3) を出力する。

これにより、液晶表示パネル 1 0 の各ゲート信号線 (G) に接続された複数の薄膜トランジスタ (TFT1, TFT2) が、1 水平走査時間の間導通する。

以上の動作により、液晶表示パネル 1 0 に画像が表示される。

【0022】

図 1 に示す電源回路 1 2 0 は、正電圧生成回路 1 2 1、負電圧生成回路 1 2 2、コモン電極 (対向電極) 電圧生成回路 1 2 3、ゲート電極電圧生成回路 1 2 4 から構成される。

正電圧生成回路 1 2 1、負電圧生成回路 1 2 2 は、それぞれ直列抵抗分圧回路で構成され、正極性の 5 値の階調基準電圧 ($V''_0 \sim V''_4$) を、負電圧生成回路 1 2 2 は負極性の 5 値の階調基準電圧 ($V''_5 \sim V''_9$) を出力する。

この正極性の階調基準電圧 ($V''_0 \sim V''_4$)、および負極性の階調基準電圧 ($V''_5 \sim V''_9$) は、各ドレインドライバ 1 3 0 に供給される。

また、各ドレインドライバ 1 3 0 には、表示制御装置 1 1 0 からの交流化信号 (交流化タイミング信号; M) も供給される。

コモン電極電圧生成回路 1 2 3 はコモン電極 (ITO2) に印加する駆動電圧を、ゲート電極電圧生成回路 1 2 4 は薄膜トランジスタ (TFT1, TFT2) のゲート電極に印加する駆動電圧 (正のバイアス電圧および負のバイアス電圧) を生成する。

【 0 0 2 3 】

図 4 は、図 1 に示すドレインドライバ 1 3 0 の一例の概略構成を示すブロック図である。

なお、ドレインドライバ 1 3 0 は、1 個の半導体集積回路（L S I）から構成される。

同図において、表示データのビット数を n とするとき、正極性階調電圧生成回路 1 5 1 a は、正電圧生成回路 1 2 1 から入力される正極性の 5 値の階調基準電圧（ $V''_0 \sim V''_4$ ）に基づいて、正極性の 2^n 階調の階調電圧を生成し、電圧バスライン 1 5 8 a を介して出力回路 1 5 7 に出力する。

負極性階調電圧生成回路 1 5 1 b は、負電圧生成回路 1 2 2 から入力される負極性の 5 値の階調基準電圧（ $V''_5 \sim V''_9$ ）に基づいて、負極性の 2^n 階調の階調電圧を生成し、電圧バスライン 1 5 8 b を介して出力回路 1 5 7 に出力する。

また、ドレインドライバ 1 3 0 の制御回路 1 5 2 内のシフトレジスタ回路 1 5 3 は、表示制御装置 1 1 0 から入力されるクロック信号（C L 2 A）（または、クロック信号（C L 2 B））に基づいて、入力レジスタ回路 1 5 4 のデータ取り込み用信号を生成し、入力レジスタ回路 1 5 4 に出力する。

【 0 0 2 4 】

入力レジスタ回路 1 5 4 は、シフトレジスタ回路 1 5 3 から出力されるデータ取り込み用信号に基づき、表示制御装置 1 1 0 から入力されるクロック信号（C L 2 A）（または、クロック信号（C L 2 B））に同期して、各色毎の n ビットの表示データを出力端子数分だけラッチする。

ストレージレジスタ回路 1 5 5 は、表示制御装置 1 1 0 から入力される出力タイミング制御用クロック信号（C L 1）に応じて、入力レジスタ回路 1 5 4 内の表示データをラッチする。

このストレージレジスタ回路 1 5 5 に取り込まれた表示データは、レベルシフト回路 1 5 6 を介して出力回路 1 5 7 に入力される。

出力回路 1 5 7 は、正極性の 2^n 階調の階調電圧、あるいは負極性の 2^n 階調の階調電圧から、表示データに対応した 1 つの階調電圧を選択して、各ドレイン信

号線 (D) に出力する。

【 0 0 2 5 】

図 5 は、出力回路 1 5 7 の構成を中心に、図 4 に示すドレインドライバ 1 3 0 の構成を説明するためのブロック図である。

一般に、液晶層は、長時間同じ電圧（直流電圧）が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、従来の T F T 方式の液晶表示モジュールにおいては、液晶層に交流の駆動電圧を印加するようにしている。

この液晶層に交流電圧を印加する駆動方法として、ドット反転法あるいは N ライン反転法等のコモン対称法が知られており、図 5 は、駆動方法としてドット反転法を採用する場合の構成を図示している。

同図において、1 5 3 は図 4 に示す制御回路 1 5 2 内のシフトレジスタ回路、1 5 6 は図 4 に示すレベルシフト回路であり、また、データラッチ部 2 6 5 は、図 4 に示す入力レジスタ回路 1 5 4 とストレージレジスタ回路 1 5 5 とを表し、さらに、デコーダ部（階調電圧選択回路）2 6 1、アンプ回路対 2 6 3、アンプ回路対 2 6 3 の出力を切り替えるスイッチ部 (2) 2 6 4 が、図 4 に示す出力回路 1 5 7 を構成する。

ここで、スイッチ部 (1) 2 6 2 およびスイッチ部 (2) 2 6 4 は、交流化信号 (M) に基づいて制御される。

また、Y 1, Y 2, Y 3, Y 4, Y 5, Y 6 は、それぞれ第 1 番目、第 2 番目、第 3 番目、第 4 番目、第 5 番目、第 6 番目のドレイン信号線 (D) を示している。

【 0 0 2 6 】

図 5 に示すドレインドライバ 1 3 0 においては、スイッチ部 (1) 2 6 2 により、データラッチ部 2 6 5（より詳しくは、図 4 に示す入力レジスタ 1 5 4）に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部 2 6 5 に入力する。

デコーダ部 2 6 1 は、階調電圧生成回路 1 5 1 a から電圧バスライン 1 5 8 a

を介して出力される正極性の 2^n 階調の階調電圧から、各データラッチ部 2 6 5（より詳しくは、図 4 に示すストレージレジスタ 1 5 5）から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路 2 7 8 と、階調電圧生成回路 1 5 1 b から電圧バスライン 1 5 8 b を介して出力される負極性の 2^n 階調の階調電圧から、各データラッチ部 2 6 5 から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路 2 7 9 とから構成される。

この高電圧用デコーダ回路 2 7 8 と低電圧用デコーダ回路 2 7 9 とは、隣接するデータラッチ部 2 6 5 毎に設けられる。

【 0 0 2 7 】

アンプ回路対 2 6 3 は、高電圧用アンプ回路 2 7 1 と低電圧用アンプ回路 2 7 2 とにより構成される。

高電圧用アンプ回路 2 7 1 には高電圧用デコーダ回路 2 7 8 で選択された正極性の階調電圧が入力され、正極性の階調電圧を出力する。

低電圧用アンプ回路 2 7 2 には低電圧用デコーダ回路 2 7 9 で選択された負極性の階調電圧が入力され、負極性の階調電圧を出力する。

ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対 2 6 3 の高電圧用アンプ回路 2 7 1 および低電圧用アンプ回路 2 7 2 の並びは、高電圧用アンプ回路 2 7 1 → 低電圧用アンプ回路 2 7 2 → 高電圧用アンプ回路 2 7 1 → 低電圧用アンプ回路 2 7 2 となるので、スイッチ部 (1) 2 6 2 により、データラッチ部 2 6 5 に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部 2 6 5 に入力し、それに合わせて、高電圧用アンプ回路 2 7 1 あるいは低電圧用アンプ回路 2 7 2 から出力される出力電圧をスイッチ部 (2) 2 6 4 により切り替え、各色毎の階調電圧が出力されるドレイン信号線 (D)、例えば、第 1 番目のドレイン信号線 (Y 1) と第 4 番目のドレイン信号線 (Y 4) とに出力することにより、各ドレイン信号線 (D) に正極性あるいは負極性の階調電圧を出力することが可能となる。

【 0 0 2 8 】

図 6 は、図 1 に示す表示制御装置 1 1 0 から送出されるデータの配列と、クロック信号 (CL 2 A, CL 2 B) の位相関係を説明するための図である。

同図に示すように、クロック信号 (CL 2 B) は、クロック信号 (CL 2 A) の反転信号であり、クロック信号 (CL 2 A) は奇数番目のドレインドライバ (DRV 1, DRV 3) に、クロック信号 (CL 2 B) は偶数番目のドレインドライバ (DRV 2, DRV 4) に入力される。

そのため、表示制御装置 1 1 0 は、奇数番目のドレインドライバ用の表示データ→偶数番目のドレインドライバ用の表示データ→奇数番目のドレインドライバ用の表示データ・・・の順に、奇数番目のドレインドライバ用の表示データと偶数番目のドレインドライバ用の表示データとを、交互にバスライン 1 3 3 上に送出する。

【 0 0 2 9 】

図 7 は、図 1 に示す表示制御装置 1 1 0 内の表示データ送出部の構成を示す図である。

外部より表示データ (DATA IN) が入力されると、奇数番目のドレインドライバ用の表示データは、奇数番目用メモリ 2 0 に入力され、偶数番目のドレインドライバ用の表示データは、偶数番目用メモリ 2 1 に入力される。

次に、これらの書き込まれた表示データは、読み出し開始信号印加後、読み出し用クロック信号 (CLK) に同期して先頭アドレスから順次読み出される。

読み出された表示データ (o/D、e/D) は、マルチプレクサ (MPX) に入力され、セクタゼネレータ部 2 2 からの選択信号 (MS) によって、表示データ (o/D、e/D) のどちらか一方が選択され、表示データ (DDATA) としてバスライン 1 3 3 上に送出される。

本実施の形態のように、シングルバス転送方式の場合、マルチプレクサ (MPX)、表示データ (o/D)、表示データ (e/D) を交互に選択する。

ここで、セクタゼネレータ部 2 2 は、スタートパルス (SST) を基準に、読み出し用クロック信号 (CLK) に同期して、選択信号 (MS) を生成する。

【 0 0 3 0 】

前述したような液晶表示装置において、コスト低減のために、ドレインドライ

バ 1 3 0 として汎用のものを使用する場合があります、この場合には、全ドレインドライバの出力端子数に比して、液晶表示パネルのドレイン信号線が少なくなる場合があります、このような場合、従来では、余分となるドレインドライバの出力端子には、液晶表示パネルのドレイン信号線（D）を接続しないで使用していた。

このような使用形態の一例を、図 6 に示す。

この図 6 に示す例では、先頭のドレインドライバ（DRV1）に、ドレイン信号線に接続されない $1 \sim (n-1)$ 本の出力端子（以下、単に、未接続の出力端子という）がある場合を図示している。

図 6 に示す例の場合、奇数番目用メモリ 20 への書き込みは、先頭より $(n-1)$ をプラスしたアドレスから行い、偶数番目用メモリ 21 への書き込みは、先頭アドレスより書き込むものとする。

こうすることで、先頭から順次読み出すと、D1n から有効データが出力され、図 6 に示す表示データ（DDATA）が得られる。

【 0 0 3 1 】

しかしながら、図 4 に示す入力レジスタ回路 154、およびストレージレジスタ回路 155 には、ドレインドライバの出力端子数分だけのデータをラッチする必要がある。

そのため、前述したように、ドレインドライバの未接続の出力端子には、無効表示データとして、H レベル、あるいは、L レベルを出力していた。

そして、図 6 に示す例において、例えば、ドレインドライバ（DRV1）の未接続の出力端子分の無効表示データとして H レベルを送出し、かつ、ドレインドライバ（DRV2）の $1 \sim (n-1)$ 本の出力端子分の有効表示データが L レベルであった場合に、バスライン上のデータの並が、H レベル（ドレインドライバ（DRV1）への無効表示データ）→L レベル（ドレインドライバ（DRV2）への有効表示データ）→H レベル（ドレインドライバ（DRV1）への無効表示データ）となるので、バスライン上の転送周波数が上昇する場合があった。

【 0 0 3 2 】

以下に、本発明の無効表示データの転送方法について説明する。

図 8 は、図 7 に示すセクタゼネレータ部 22 の回路構成を示すブロック図で

ある。

同図に示すように、セクタゼネレータ部 2 2 は、D 型フリップ・フロップ回路 (F F) と、カウンタ・C K デコーダ部 3 0 と、ノア回路 (N O R) と、オア回路 (O R) とで構成される。

ここで、カウンタ・C K デコーダ部 3 0 は、読み出し用クロック信号 (C L K) のクロック数をカウントするカウンタと、当該カウンタのカウント数をデコードするデコーダとを有する。

【 0 0 3 3 】

図 9 は、図 8 に示す回路構成において、カウンタ・C K デコーダ部 3 0 を除いた回路構成を示すブロック図である。

この図 9 に示す回路構成において、スタートパルス (S S T) が H レベルになるとノア回路 (N O R) が L レベルとなるので、スタートパルス (S S T) が H レベルのときに、読み出し用クロック信号 (C L K) が印加されることで、D 型フリップ・フロップ回路 (F F) はリセットされ、出力端子 (Q) は L レベルとなり、選択信号 (M) は L レベルとなる。

次に、スタートパルス (S S T) が L レベルとなると、ノア回路 (N O R) の出力は、D 型フリップ・フロップ回路 (F F) の出力端子 (Q) が H レベルのときは L レベル、D 型フリップ・フロップ回路 (F F) の出力端子 (Q) が L レベルのときは H レベルとなるので、選択信号 (M S) は、読み出し用クロック信号 (C L K) に同期して、H レベル、L レベルを繰り返す。

マルチプレクサ (M P X) が、選択信号 (M S) が L レベルのときに奇数番目用メモリ 2 0、選択信号 (M S) が H レベルのときに偶数番目用メモリ 2 1 を選択するように設定すると、選択信号 (M S) が、L レベル、H レベル、L レベル…と変化すると、奇数番目データ、偶数番目データ、奇数番目データ…が、マルチプレクサ (M P X) からバスライン 1 3 3 上に送出される。

【 0 0 3 4 】

図 8 に示す回路構成も、基本的な動作は、図 9 に示す回路と同じである。

但し、図 8 に示す回路構成では、読み出し用クロック信号 (C L K) のクロック数が設定数以下の場合は、カウンタ・C K デコーダ部 3 0 の出力 (D o u t)

がHレベルとなり、読み出し用クロック信号（CLK）のクロック数が設定数を越えると、カウンタ・CKデコーダ部30の出力（Dout）がLレベルとなるように設定されている。

即ち、カウンタ・CKデコーダ部30のデコード数を、未接続本数（ $n-1$ ）と設定しておくことにより、スタートパルス（SST）が入力された後で、読み出し用クロック信号（CLK）が、（ $n-1$ ）個入力される間、出力（Dout）はHレベルを維持し、選択信号（MS）はHレベルに固定される。

設定数（未接続本数（ $n-1$ ））を超えると、読み出し用クロック信号（CLK）に同期して、出力（Dout）はLレベルとなり、D型フリップ・フロップ回路（FF）の出力端子（Q）の出力が、選択信号（MS）として出力される。

【0035】

このように、本実施の形態では、未接続部分の無効表示データD11～D1（ $n-1$ ）を転送するときは、常時偶数番目用メモリ21を選択するように選択信号（MS）を生成する。

したがって、本実施の形態では、無効表示データ（D11）のデータとして、ドレインドライバ（DRV2）に転送される有効表示データ（D21）が転送され、同様に、無効表示データ（D12）として、有効表示データ（D22）が転送される。

つまり、本実施の形態では、D21、D21、D22、D22、D23、D23…の順番に表示データを転送し、有効表示データ（D1n）からは、D1n、D2n、D1（ $n+1$ ）…と転送する。

そのため、本実施の形態では、前述した従来例の場合のように、無効表示データを含む表示データを転送する際に、バスライン上の転送周波数を低減することができ、放射電磁雑音の発生量を少なくすることが可能となる。

【0036】

なお、前述の説明では、先頭のドレインドライバ（DRV1）に未接続の出力端子がある場合について説明したが、これ以外に、最終段のドレインドライバに未接続の出力端子がある場合や、未接続の端子がなくても、偶数番目のドレインドライバと、奇数番目のドレインドライバの数が異なる場合でも、同様な構成で

解決することができる。

例えば、図 1 0 に示すように、最終段のドレインドライバ (DRV 4) に、未接続の出力端子がある場合は、図 7 に示すセクタゼネレータ部 2 2 として、図 1 1 に示す回路構成のものを採用することにより、前述と同様の効果を得ることができる。

図 1 1 に示す回路構成は、図 8 に示すオア回路 (OR) に代えて、アンド回路 (AND) を採用し、さらに、読み出し用クロック信号 (CLK) のカウント数を $(n - 1)$ に設定するようにしたものである。

これにより、図 1 1 に示す回路では、読み出し用クロック信号 (CLK) のカウント数が $(n - 1)$ までは、奇数番目用メモリ 2 0、偶数番目用メモリ 2 1 を交互に選択するように選択信号 (MS) を生成し、読み出し用クロック信号 (CLK) のカウント数が n を越えると、常時奇数番目用メモリ 2 0 の出力を選択するように選択信号 (MS) を生成する。

これによって、未接続の出力端子部分の転送データ (無効表示データ) は、ドレインドライバ (DRV 3) と同じ表示データとなる。

【0037】

また、図 1 2 に示すように、奇数番目のドレインドライバ (DRV 1, DRV 3, DRV 5) と、偶数番目のドレインドライバ (DRV 2, DRV 4) の数が異なる場合であっても、図 7 に示すセクタゼネレータ部 2 2 として、図 1 1 に示す回路構成のものを採用することにより、前述と同様の効果を得ることができる。

さらに、図 1 3 に示すように、ドレインドライバ (DRV 1)、ドレインドライバ (DRV 2) にともに未接続の出力端子があり、それらの未接続の出力端子の位置が、例えば、中央部等の任意位置である場合であっても、図 7 に示すセクタゼネレータ部 2 2 として、図 1 4 に示す回路構成のものを採用することにより、前述と同様の効果を得ることができる。

図 1 4 に示す回路は、カウンタ・CKデコーダ部 3 0 からの制御信号 (S 0, S 1) により、マルチプレクサ (MPX 2) を切り替え、選択信号 (MS) として、図 1 4 の入力端子 (A) に入力される信号、入力端子 (B) に入力される信

号、入力端子 (C) に入力される信号を選択するようにしたものである。

【 0 0 3 8 】

即ち、図 1 4 に示す回路では、カウンタ・CKデコーダ部 3 0 でのデコード結果により、H レベル、L レベル、あるいは、D 型フリップ・フロップ回路 (F F) の出力端子 (Q) の出力レベルを選択するようにしたものである。

ここで、カウンタ・CKデコーダ部 3 0 は、ドレインドライバ (D R V 1) の未接続の出力端子 (図 1 4 の $n \sim (n + k)$; 例えば、1 0 番目 ~ 1 5 番目の出力端子)、ドレインドライバ (D R V 2) の未接続の出力端子 (図 1 4 の $m \sim (m + j)$; 例えば、2 0 番目 ~ 5 0 番目の出力端子) をそれぞれデコードできるように設定する。

カウンタ・CKデコーダ部 3 0 からの制御信号 (S 0, S 1) により、マルチプレクサ (M P X 2) で選択する選択信号 (M S) の一例を表 1 に示す。

【表 1】

S1	S0	MS
L	L	C
L	H	A
H	L	B
H	H	B

【 0 0 3 9 】

また、前述の説明では、選択信号 (M S) によって、ドレインドライバの未接続の出力端子用データを制御しているが、この他に、メモリに書き込む方法を変更するようにしてもよい。

例えば、図 6 に示すドレインドライバ (D R V 1) に $(n - 1)$ 本の未接続の出力端子がある場合、奇数番目用メモリ 2 0 の先頭から $(n - 1)$ のアドレスには、偶数番目用メモリ 2 1 と同じ内容を書き込む。

こうすることで、選択信号 (M S) を生成するセクタゼネレータ部 2 2 として、図 9 に示す回路構成のものを使用することができる。

【 0 0 4 0 】

〔実施の形態 2〕

図 1 において、例えば、本体コンピュータ側などの外部から入力される表示データ（R，G，B）は、1 画素単位で入力される場合と、液晶表示パネル 1 0 の高解像度、高速動作に伴って、2 画素単位で入力される場合との 2 通りがある。

従来では、1 画素単位で入力される場合と、2 画素単位で入力される場合との 2 通りに応じて、それぞれ別の表示制御装置を使用するようにしていた。

そのため、従来例では、液晶表示装置のコストが上昇するという欠点があった。

本実施の形態は、表示制御装置 1 1 0 として、このような 2 通りの表示データ入力方式に対応できるようにし、その入力モードを、モードピンに印加する電圧、あるいは、内部で切り替えるようにしたものである。

【0 0 4 1】

図 1 5 は、本発明の実施の形態 2 の表示制御装置（L S I）のピン配置を示す図である。

前述したように、本実施の形態の表示制御装置 1 1 0 は、1 画素または 2 画素入力のインタフェースに対応可能であり、その設定はモードピン（P I X）に印加する電圧で行う。

本実施の形態では、1 画素入力仕様の場合には、モードピン（P I X）に印加する電圧を L レベルに固定し、また、2 画素入力仕様の場合には、モードピン（P I X）に印加する電圧を H レベルに固定する。

以下、本実施の形態の表示制御装置 1 1 0 における、1 画素入力仕様と、2 画素入力仕様との設定方法について説明する。

図 1 6 は、表示制御装置 1 1 0 の各入力端子が、そのまま、インタフェース・コネクタ（C T）に接続される場合のモードピン（P I X）の設定方法を説明するための図である。

この場合には、1 画素目の各表示データ、2 画素目の各表示データ、および各制御信号が入力される入力端子、並びに、モードピン（P I X）が、インタフェース・コネクタ（C T）に直接接続される。

したがって、この例では、例えば、本体コンピュータ等の外部より、モードピ

ン (P I X) に印加する電圧を設定し、1画素入力仕様か、2画素入力仕様かを設定することになる。

【 0 0 4 2 】

近年、液晶表示モジュールと、本体コンピュータ側とのインタフェースとして、アナログ・インタフェースに代えて、デジタル・インタフェースが採用されている。

このデジタル・インタフェースとして、L V D S (L o w V o l t a g e D i f f e r e n t i a l S i g n a l i n g) 方式と、P a n e l L i n k 方式の2通りが知られている。

図17は、デジタル・インタフェースとして、L V D S 方式を採用したT F T 方式の液晶表示モジュールの要部構成を示すブロック図である。

同図に示すように、コンピュータ本体側のグラフィックコントローラ180の出力段と、表示制御装置110の入力段との間に、それぞれ半導体集積回路 (L S I) で構成されるトランスミッタ (1 7 0 a , 1 7 0 b) とレシーバ (1 6 0 a , 1 6 0 b) とが設けられる。

それ以外の回路構成は、図1に示す回路構成と同じであるので、図示は省略している。

【 0 0 4 3 】

前記トランスミッタ170a (あるいは170b) は、グラフィックコントローラ180からのディスプレイタイミング信号 (D T M G) 、水平同期信号 (H s y n c) 、垂直同期信号 (v s y n c) および表示用データ (R ・ G ・ B) の全部で21ビットの信号を並列-直列変換して、3本のより対線でレシーバ160a (あるいは160b) に送出する。

前記レシーバ160a (あるいは160b) は、前記シリアル信号を直列-並列変換して、ディスプレイタイミング信号 (D T M G) 、水平同期信号 (H s y n c) 、垂直同期信号 (v s y n c) および表示用データ (R ・ G ・ B) を表示制御装置110に送出する。

また、クロック信号 (C K) は、一本のより対線で前記トランスミッタ170a (あるいは170b) からレシーバ160a (あるいは160b) に伝送される。

【 0 0 4 4 】

図 1 8 は、LVDS 方式で、外部から表示制御装置 1 1 0 に表示データ等が入力される場合のモードピン (P I X) の設定方法を説明するための図である。

この場合には、1 画素目の入力表示データ、および 2 画素目の入力表示データ毎に、コネクタ (C T 1, C T 2) を有している。

2 画素目の入力表示データが存在するか否かは、2 画素目の入力表示データが転送されてくるコネクタ (C T 2) に電源が生じているか、あるいは、2 画素目の入力表示データが転送されてくるレシーバから、クロック信号 (C K) が出力されているかを確認し、その結果を表示制御装置 1 1 0 のモードピン (P I X) に反映させる。

2 画素目の入力表示データが転送されてくるレシーバから、クロック信号 (C K) が出力されているか否かは、例えば、図 1 8 に示すようなクロックチェック回路 6 0 を設けることで可能である。

即ち、抵抗 R とコンデンサ C からなるローパスフィルタにより、クロック信号 (C K) が出力されているかを検出し、このローパスフィルタからの出力電圧により、モードピン (P I X) の電圧を設定する。

【 0 0 4 5 】

前述した方法は、表示制御装置 1 1 0 のモードピン (P I X) に印加する電圧により、入力モードを切り替える方法であるが、この切り替えを、表示制御装置 1 1 0 の内部で行うことも可能である。

図 1 9 に示すように、外部から入力されるディスプレイ・タイミング信号は、1 ライン内の表示データ区間を示す。

よって、1 画素入力仕様の場合は、ディスプレイ・タイミング信号内のクロック信号 (C K) のクロック数は、液晶表示パネル 1 0 の横方向の画素数と一致する。

また、2 画素入力仕様の場合は、ディスプレイ・タイミング信号内のクロック信号 (C K) のクロック数は、液晶表示パネル 1 0 の横方向の画素数の半分の画素数となる。

したがって、図 2 0 に示すような回路で、ディスプレイ・タイミング信号内の

クロック信号（CK）のクロック数を、表示制御装置 1 1 0 内部で判断することにより、1 画素入力仕様か、2 画素入力仕様かを判断することができる。

【0 0 4 6】

図 2 0 に示す回路では、ディスプレイ・タイミング信号の立ち上がり時点を、立ち上がり検出回路 3 0 0 で検出し、これによりカウンタ回路 3 0 1 をリセットし、その後、カウンタ回路 3 0 1 でクロック信号（CK）のクロック数をカウントする。

また、ディスプレイ・タイミング信号の立ち下がり時点を、立ち下がり検出回路 3 0 2 で検出し、これにより、カウンタ回路 3 0 2 のカウント数をラッチ回路 3 0 3 にラッチする。

このラッチ回路 3 0 3 にラッチされたカウント数と、液晶表示パネル 1 0 の横方向の画素数（即ち、横方向の解像度）とを、比較回路 3 0 4 で比較する。

比較回路 3 0 4 での比較結果により、ディスプレイ・タイミング信号内のクロック信号（CK）のクロック数が、液晶表示パネル 1 0 の横方向の画素数と一致した場合には、表示制御装置 1 1 0 の内部で入力モードを 1 画素入力仕様とし、また、ディスプレイ・タイミング信号内のクロック信号（CK）のクロック数が、液晶表示パネル 1 0 の横方向の画素数の半分の画素数と一致した場合には、表示制御装置 1 1 0 の内部で入力モードを 2 画素入力仕様とする。

それ以外の場合には、異常処理として処理する。

この例の場合には、表示制御装置 1 1 0 のモードピン（PIX）が不要となるので、表示制御装置 1 1 0 の小型化を図る上で有効である。

【0 0 4 7】

また、前記各実施の形態では、本発明を縦電界方式の液晶表示パネルに適用した場合について説明したが、これに限定されるものではなく、横電界方式の液晶表示パネルにも適用可能である。

また、前記各実施の形態では、本発明を TFT 方式の液晶表示装置に適用した場合について説明したが、これに限定されるものではなく、本発明は、STN 方式の単純マトリクス形液晶表示装置にも適用可能であることは言うまでもない。

以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体

的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【 0 0 4 8 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、表示制御装置から無効表示データを含む表示データを各駆動回路に転送する際に、バスライン上の転送周波数を低減することが可能となる。

(2) 本発明によれば、表示制御装置として各入力モード毎に共通のものを使用することができるので、コストを低減することが可能となる。

【図面の簡単な説明】

【図 1 】

本発明の実施の形態 1 の T F T 方式の液晶表示モジュールの概略構成を示すブロック図である。

【図 2 】

図 1 に示す液晶表示パネルの一例の等価回路を示す図である。

【図 3 】

図 1 に示す液晶表示パネルの他の例の等価回路を示す図である。

【図 4 】

図 1 に示すドレインドライバの概略構成を示すブロック図である。

【図 5 】

出力回路の構成を中心に、図 4 に示すドレインドライバの構成を説明するためのブロック図である。

【図 6 】

図 1 に示す表示制御装置から送出されるデータの配列と、クロック信号 (C L 2 A , C L 2 B) の位相関係を説明するための図である。

【図 7 】

図 1 に示す表示制御装置内の表示データ送出部の構成を示す図である。

【図 8】

図 7 に示すセクタゼネレータ部の回路構成を示すブロック図である。

【図 9】

図 8 に示す回路構成において、カウンタ・CK デコーダ部を除いた回路構成を示すブロック図である。

【図 1 0】

ドレインドライバに未接続の出力端子がある T F T 方式の液晶表示モジュールの他の例を示す図である。

【図 1 1】

図 7 に示すセクタゼネレータ部の他の回路構成を示すブロック図である。

【図 1 2】

奇数番目のドレインドライバと、偶数番目のドレインドライバとの数が異なる T F T 方式の液晶表示モジュールを示す図である。

【図 1 3】

ドレインドライバに未接続の出力端子がある T F T 方式の液晶表示モジュールの他の例を示す図である。

【図 1 4】

図 7 に示すセクタゼネレータ部の他の回路構成を示すブロック図である。

【図 1 5】

本発明の実施の形態 2 の表示制御装置 (L S I) のピン配置を示す図である。

【図 1 6】

表示制御装置の各入力端子が、そのまま、インタフェース・コネクタに接続される場合のモードピン (P I X) の設定方法を説明するための図である。

【図 1 7】

デジタル・インタフェースとして、L V D S 方式を採用した T F T 方式の液晶表示モジュールの要部構成を示すブロック図である。

【図 1 8】

L V D S 方式で、外部から表示制御装置に表示データ等が入力される場合のモードピン (P I X) の設定方法を説明するための図である。

【図 1 9】

外部から入力される制御信号のタイミングチャートを示す図である。

【図 2 0】

表示制御装置内で、1画素入力仕様か、2画素入力仕様かを判断するための回路構成の一例を示す図である。

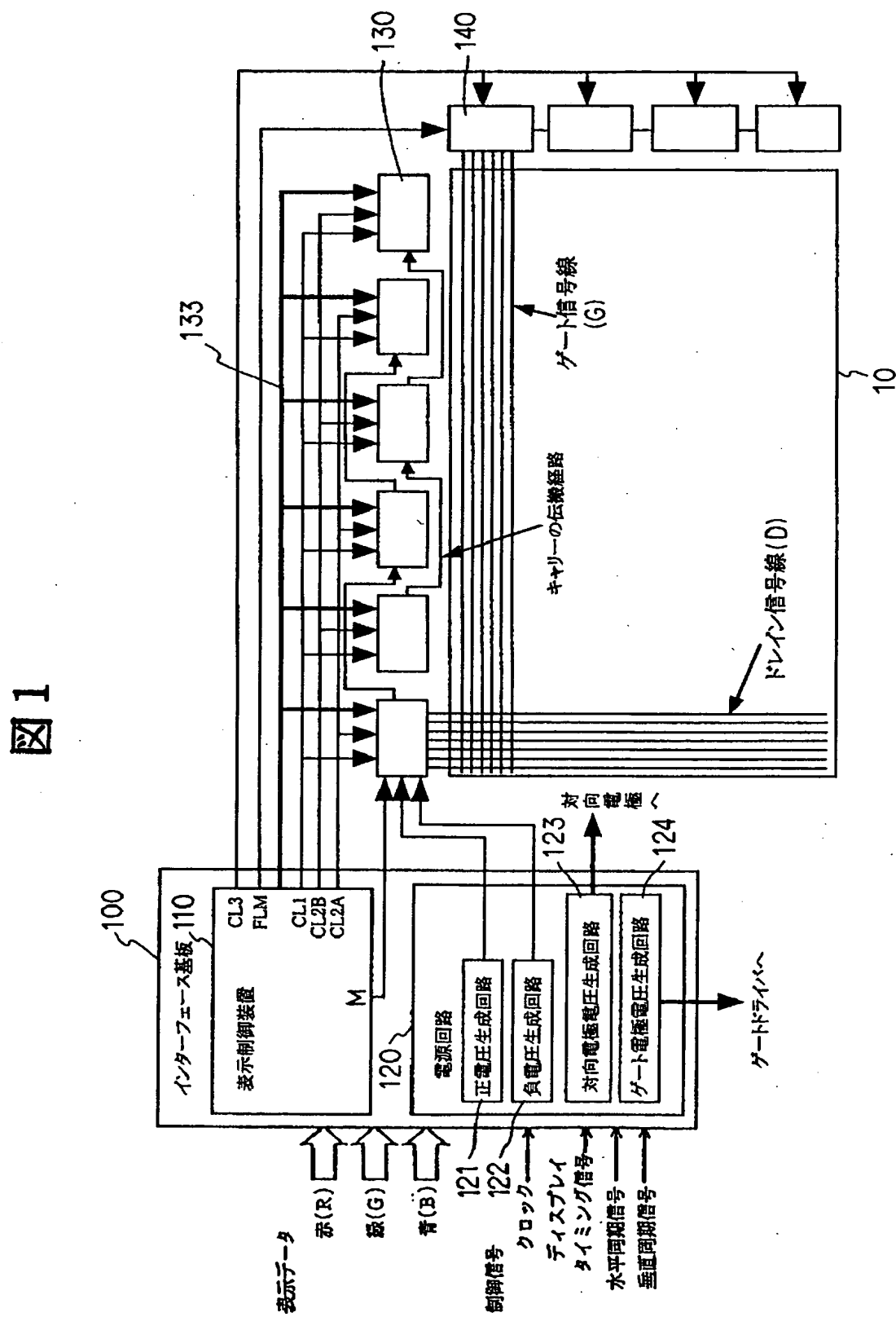
【符号の説明】

1 0…液晶表示パネル、2 0…奇数番目用メモリ、2 1…偶数番目用メモリ、
2 2…セクタゼネレータ部、3 0…カウンタ・CKデコーダ部、6 0…クロック
チェック回路、1 0 0…インタフェース部、1 1 0…表示制御装置、1 2 0…
電源回路、1 2 1…正電圧生成回路、1 2 2…負電圧生成回路、1 2 3…コモン
電極（対向電極）電圧生成回路、1 2 4…ゲート電極電圧生成回路、1 3 0，D
RV…ドレインドライバ、1 3 3…表示データのバスライン、1 4 0…ゲートド
ライバ、1 5 1 a，1 5 1 b…階調電圧生成回路、1 5 2…制御回路、1 5 3…
シフトレジスタ回路、1 5 4…入力ラッチ回路、1 5 5…ストレージレジスタ回
路、1 5 6…レベルシフト回路、1 5 7…出力回路、1 5 8 a，1 5 8 b…電圧
バスライン、1 6 0 a，1 6 0 b…レシーバ、1 7 0 a，1 7 0 b…トランスミ
ッタ、1 8 0…グラフィックコントローラ、2 6 1…デコーダ部、2 6 2，2 6
4…スイッチ部、2 6 3…アンプ回路対、2 6 5…データラッチ部、2 7 1…高
電圧用アンプ回路、2 7 2…低電圧用アンプ回路、2 7 8，2 7 9…デコーダ回
路、3 0 0…立ち上がり検出回路、3 0 1…カウンタ回路、3 0 2…立ち下がり
検出回路、3 0 3…ラッチ回路、3 0 4…比較回路、AND…アンド回路、FF
…D型フリップ・フロップ回路、NOR…ノア回路、OR…オア回路、MPX，
MPX 2…マルチプレクサ、ITO 1…画素電極、ITO 2…コモン電極、D，
Y…ドレイン信号線、G…ゲート信号線、TFT 1，TFT 2…薄膜トランジス
タ、CLC…液晶容量、CADD…付加容量、CSTG…保持容量、COM…共通信
号線、CT…コネクタ。

【書類名】

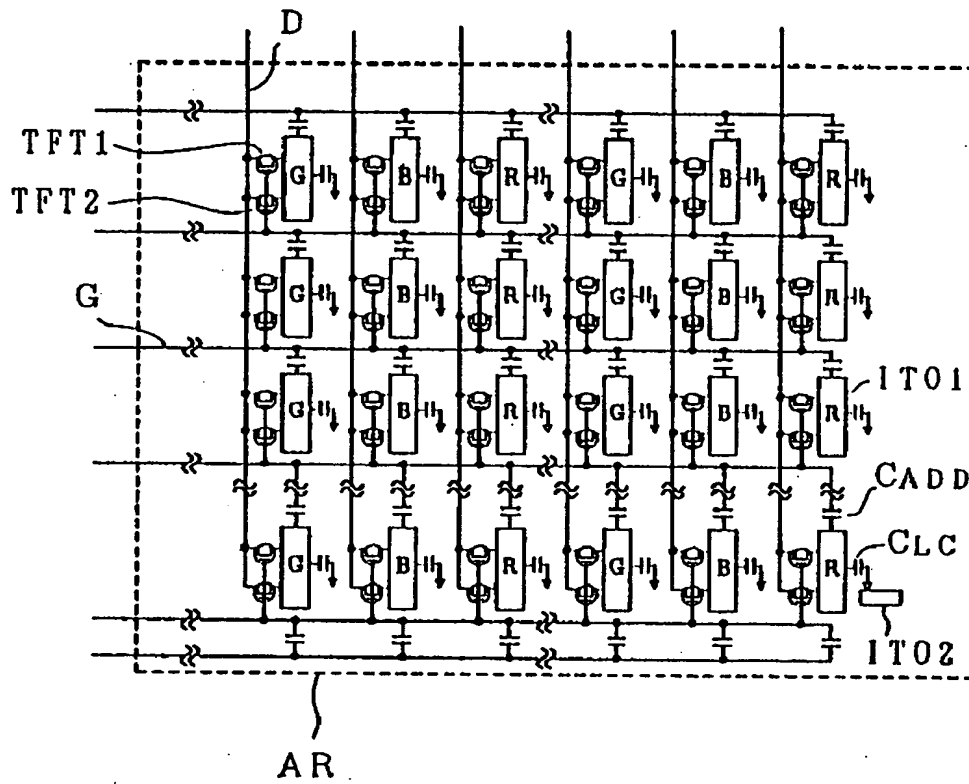
凶面

【図 1】



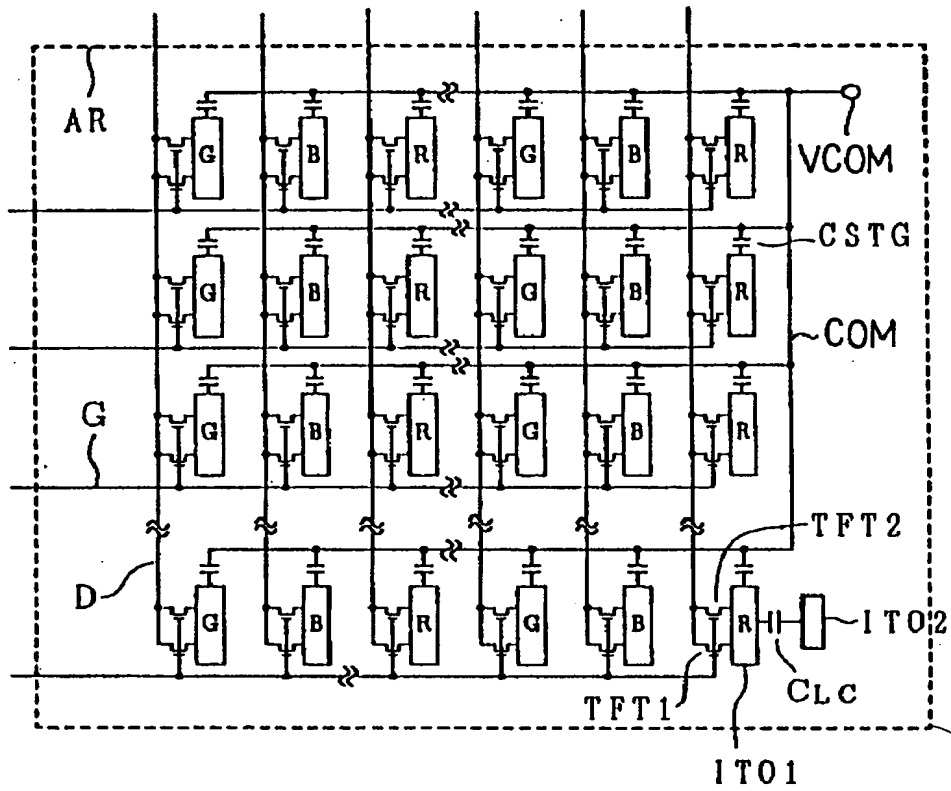
【図2】

図2



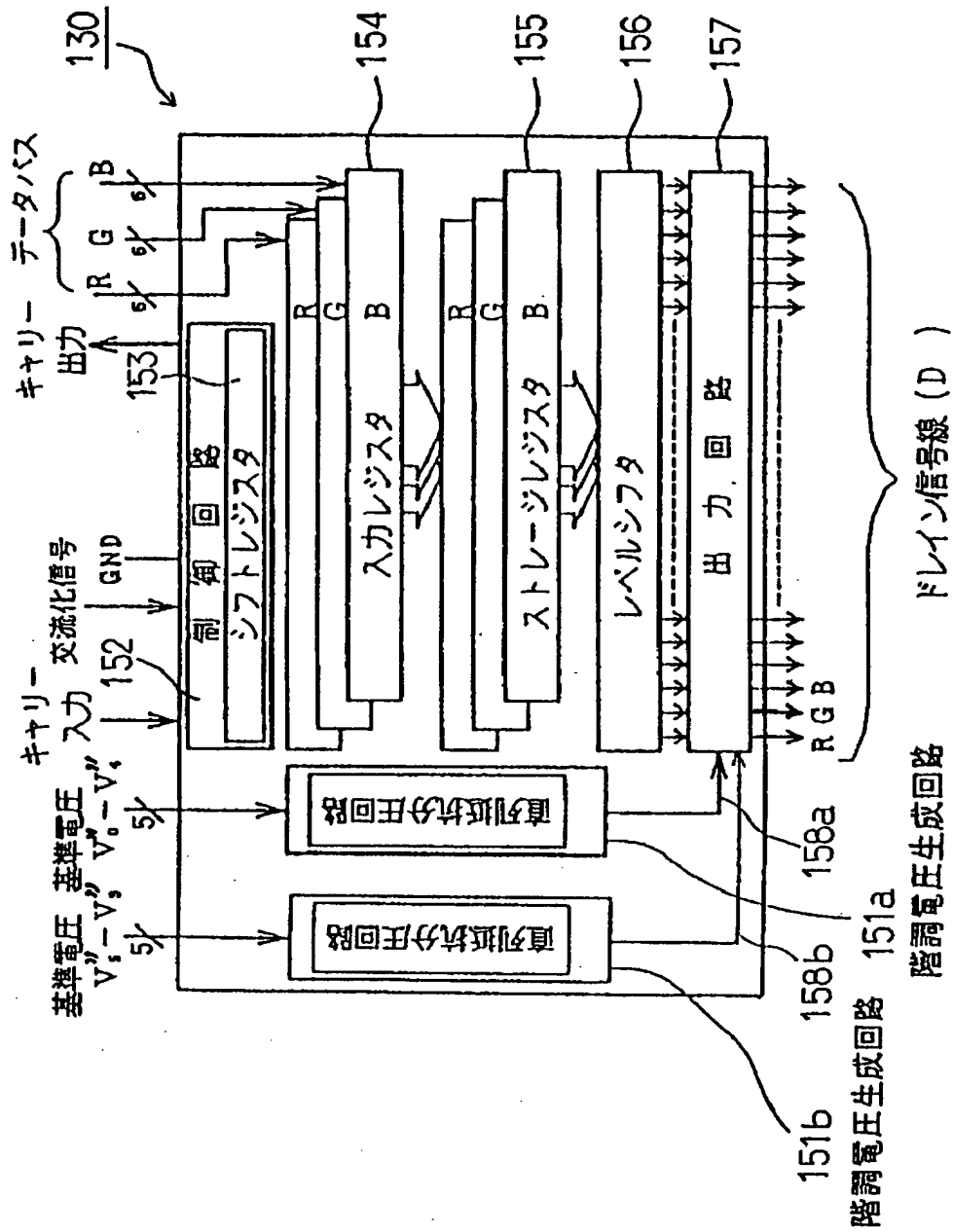
【図 3】

図 3



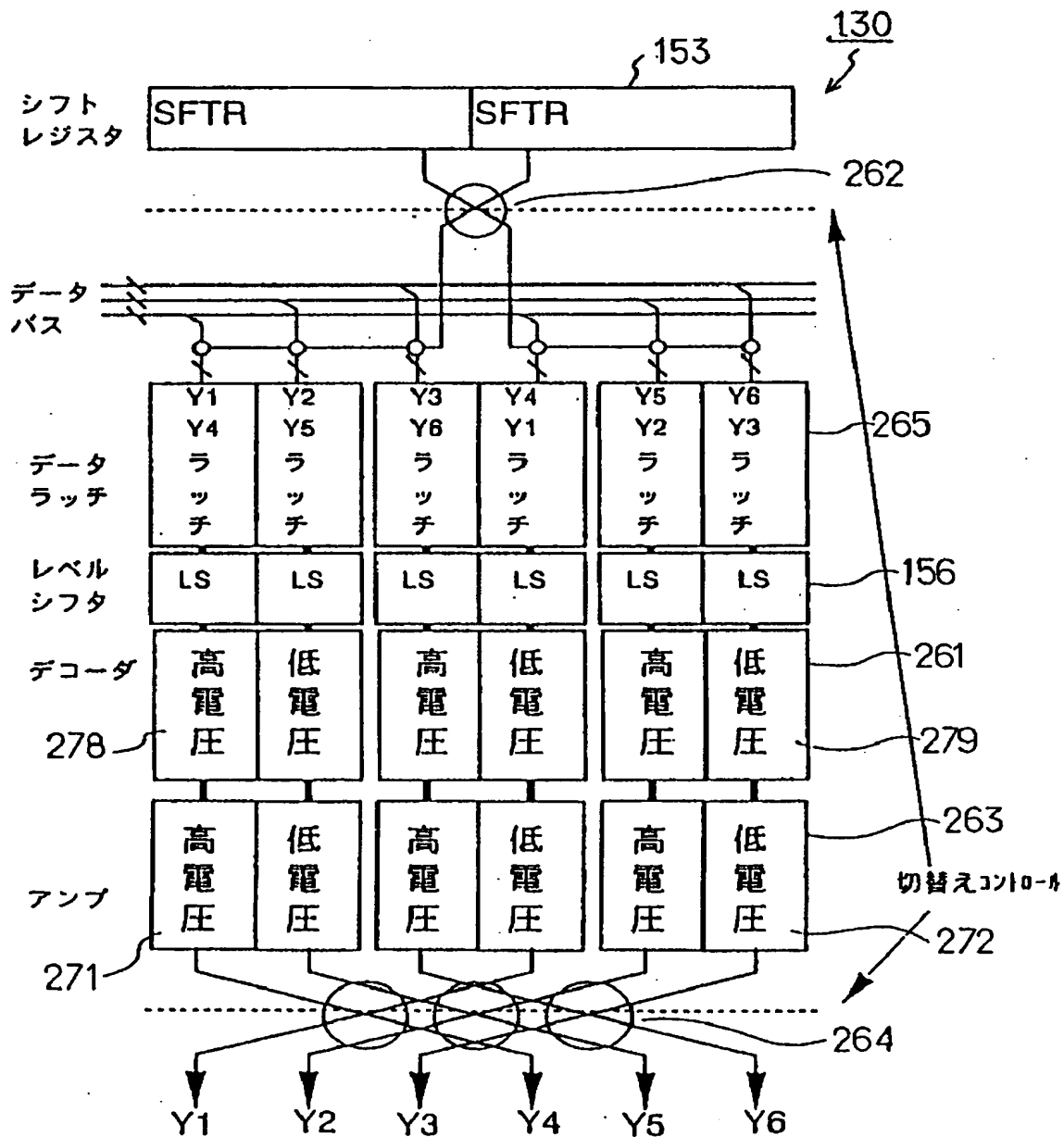
【図 4】

図 4



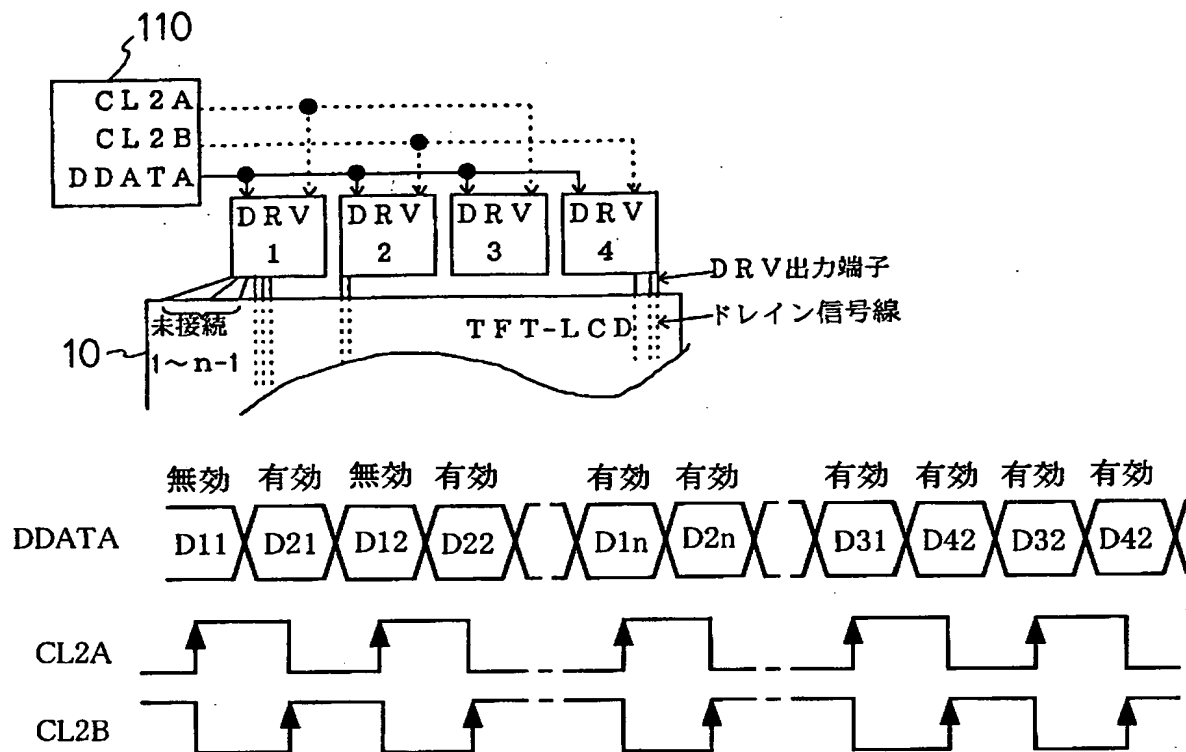
【図 5】

図 5



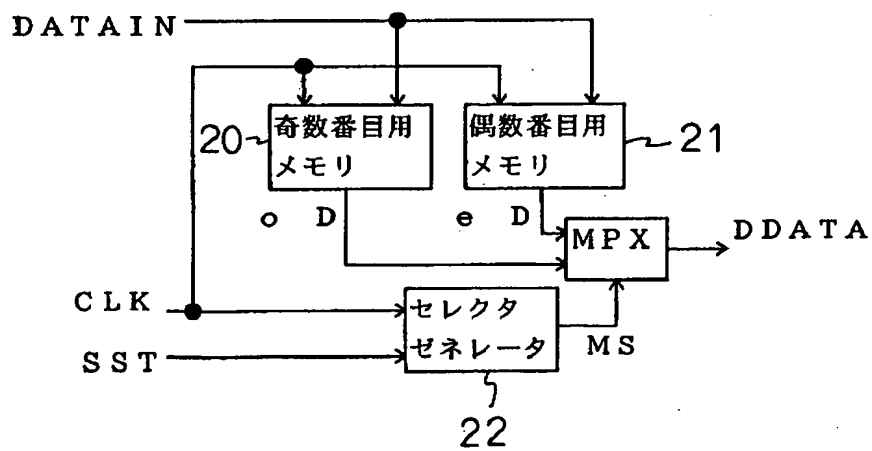
【図 6】

図 6



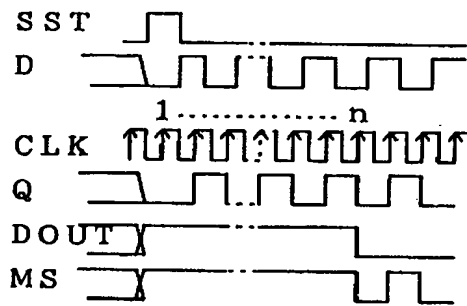
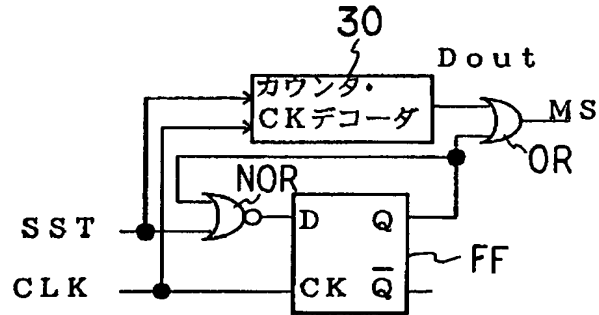
【図 7】

図 7



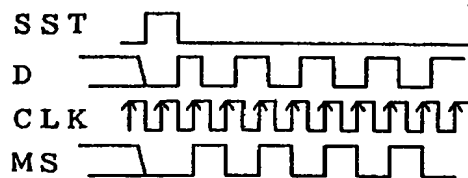
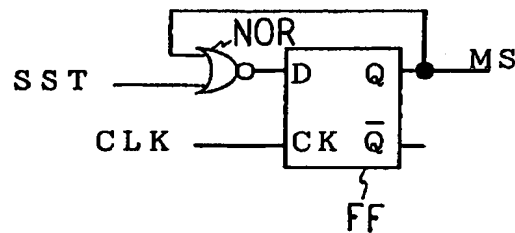
【図 8】

図 8



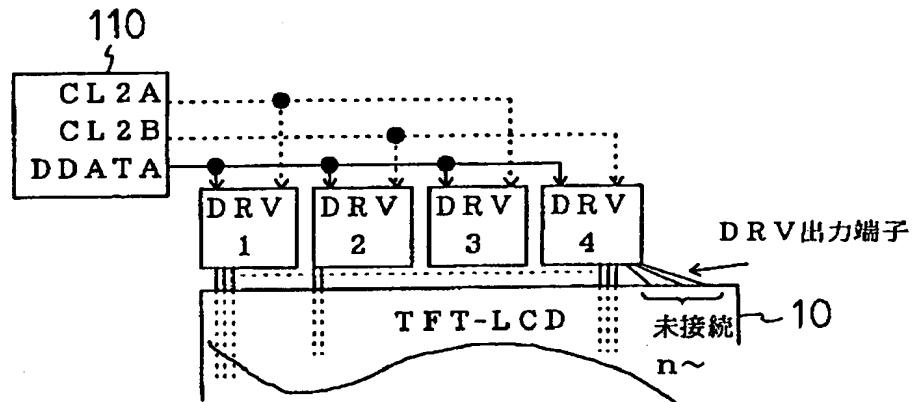
【図 9】

図 9



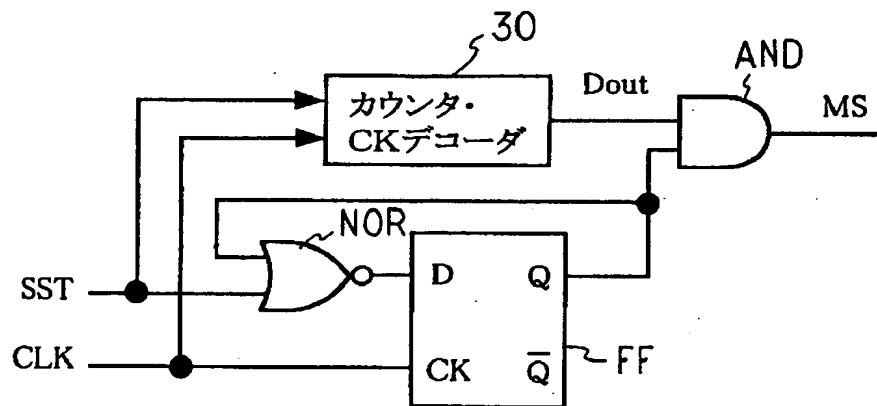
【図10】

図10



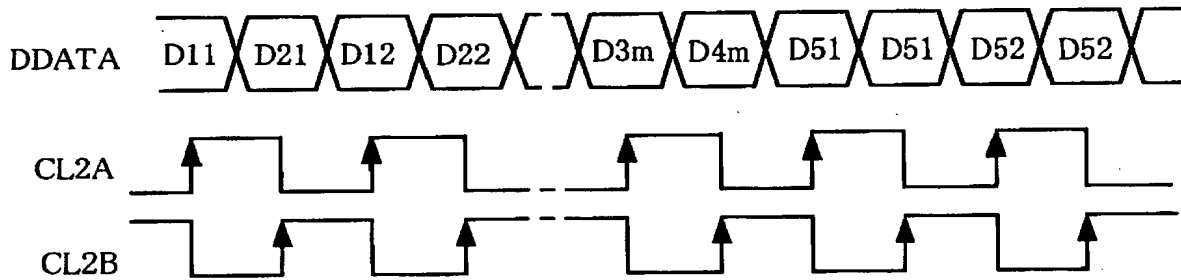
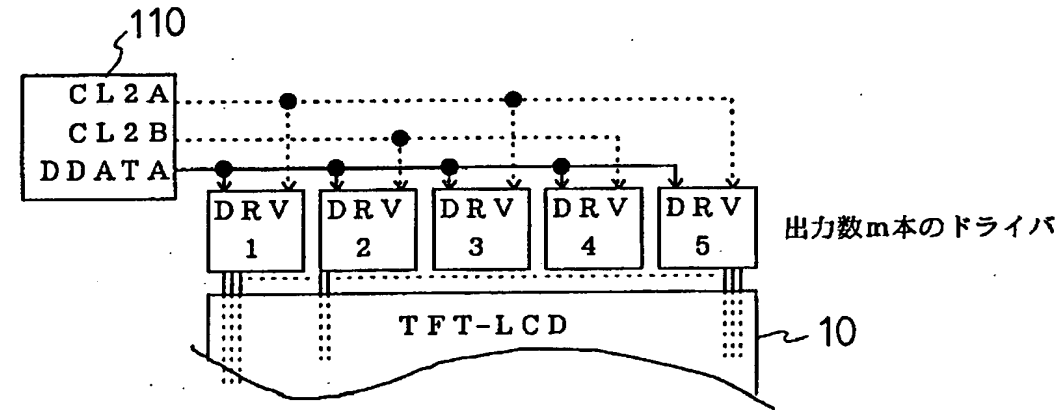
【図11】

図11



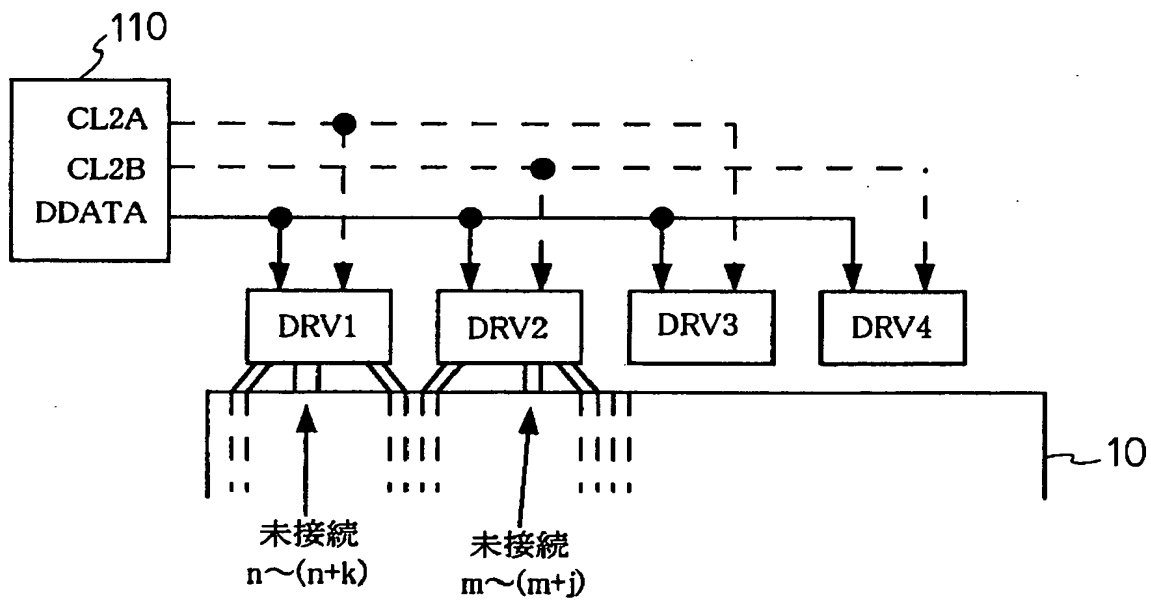
【図 1 2】

図 1 2



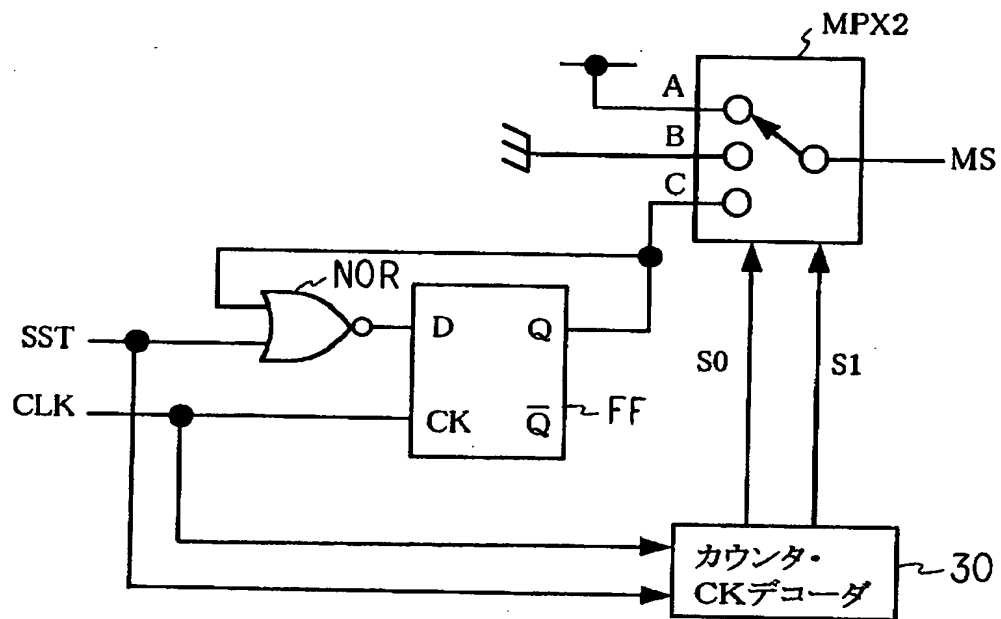
【図 1 3】

図 1 3



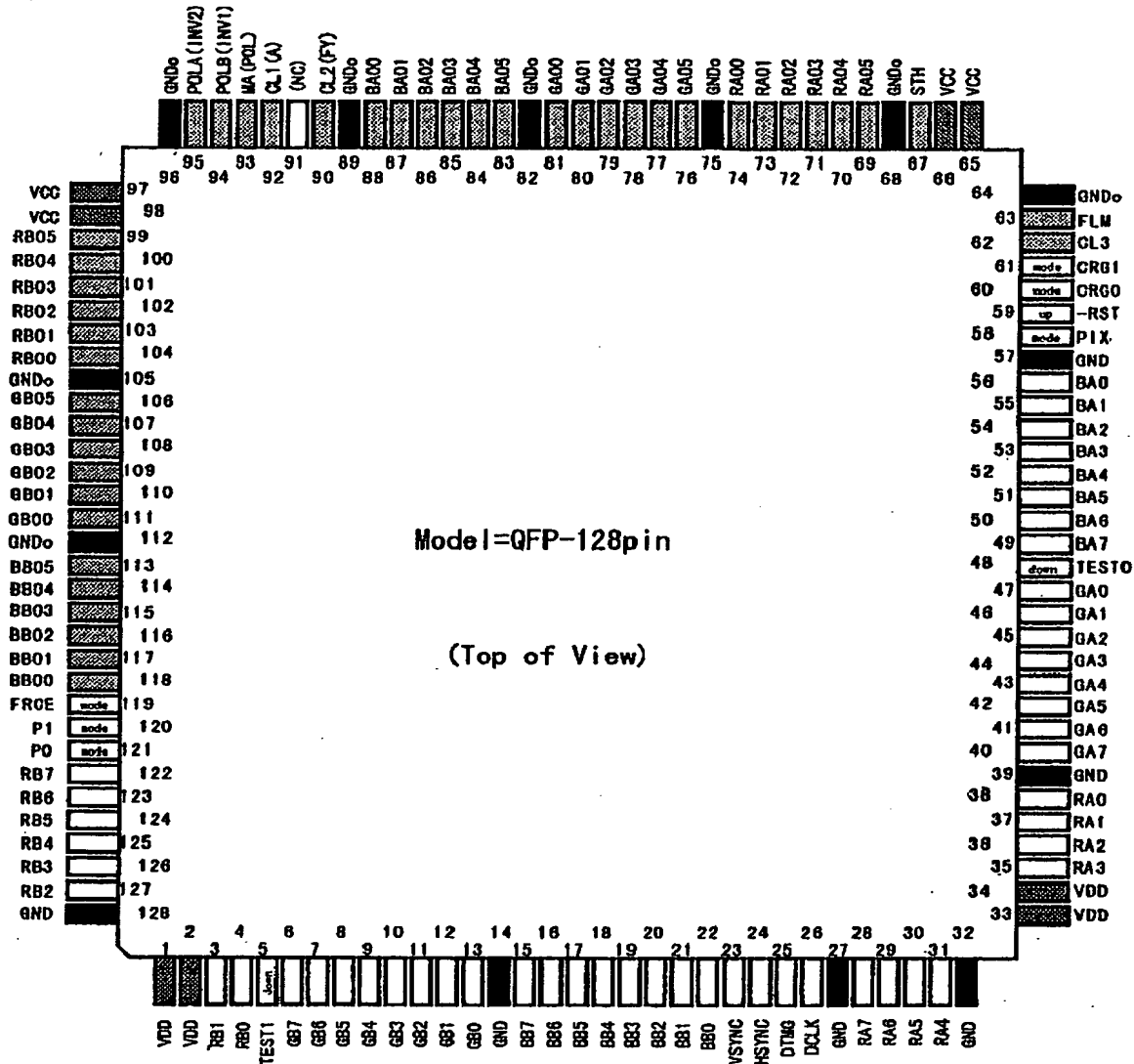
【図 1 4】

図 1 4



【図 15】

図 15

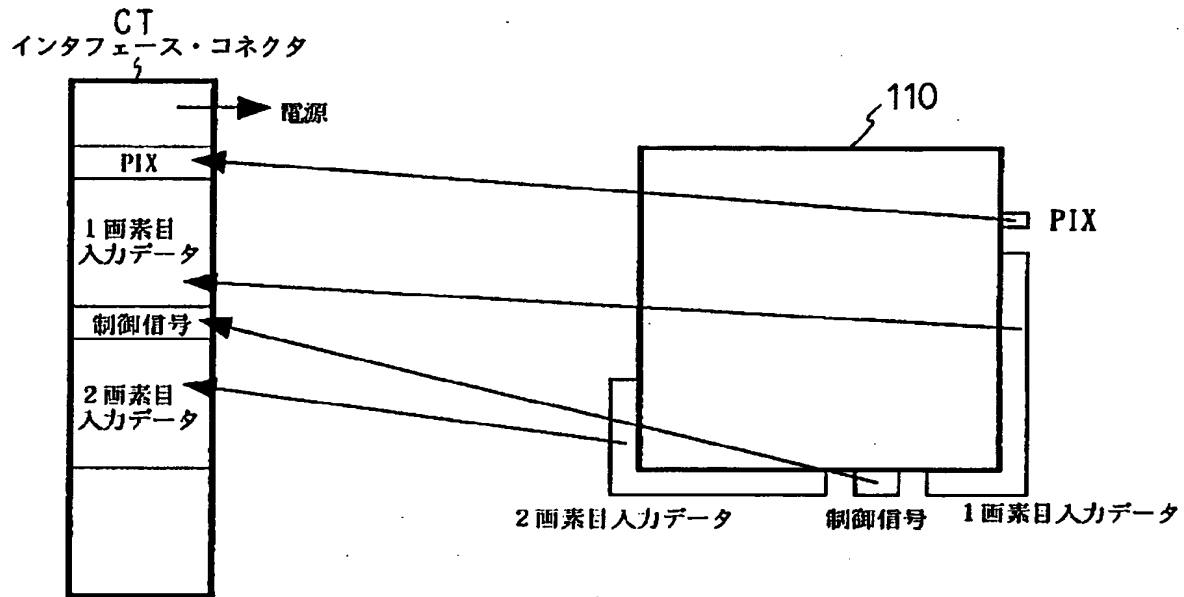


RA[7:0], GA[7:0], BA[7:0] ; 1 画素目の入力データ
RB[7:0], GB[7:0], BB[7:0] ; 2 画素目の入力データ
DCLK ; 基準クロック (入力)
DTMG ; ディスプレイ・タイミング信号 (入力)
HSYNC ; 水平同期信号 (入力)
VSYNC ; 垂直同期信号 (入力)
PIX ; High - 2 画素入力インタフェース (モードピン)
Low - 1 画素入力インタフェース

電源 ; 3.3[V] (VDD) GND (VSS)
入力 (CMOS Interface) 出力
入力 (Pull Up) 入力 (Pull Down)

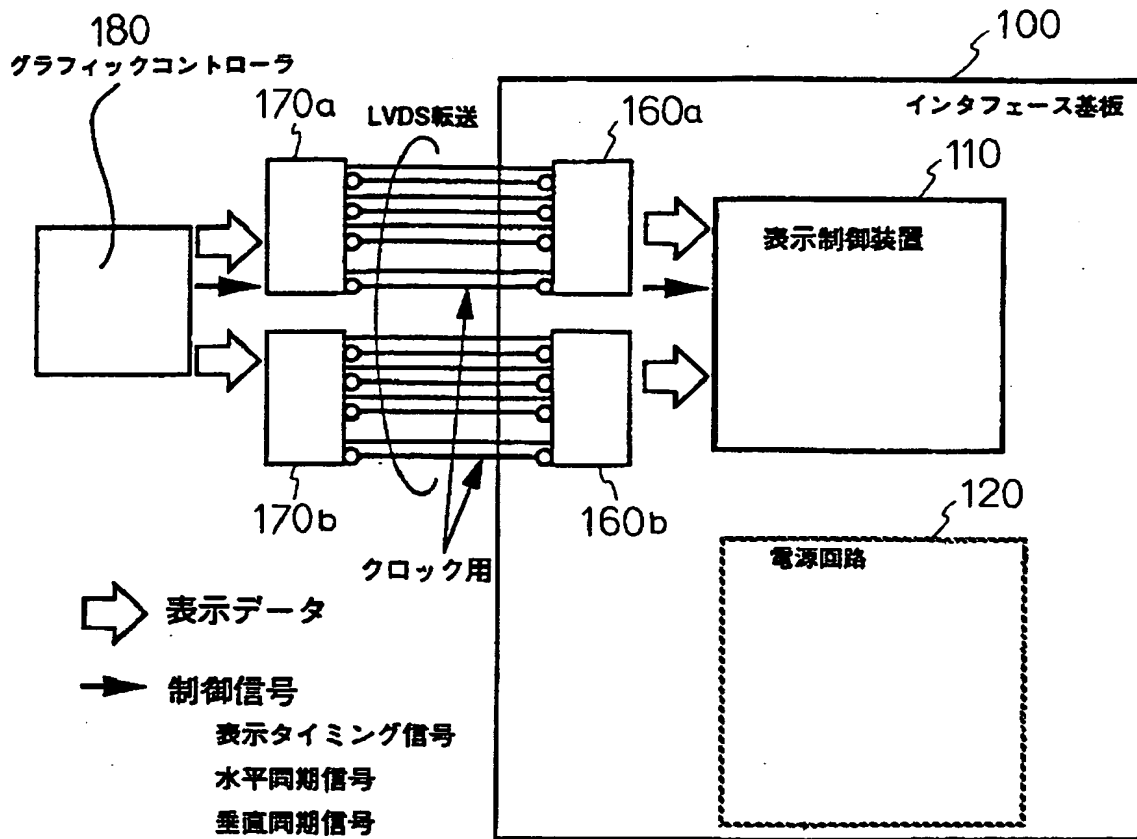
【図 1 6】

図 1 6



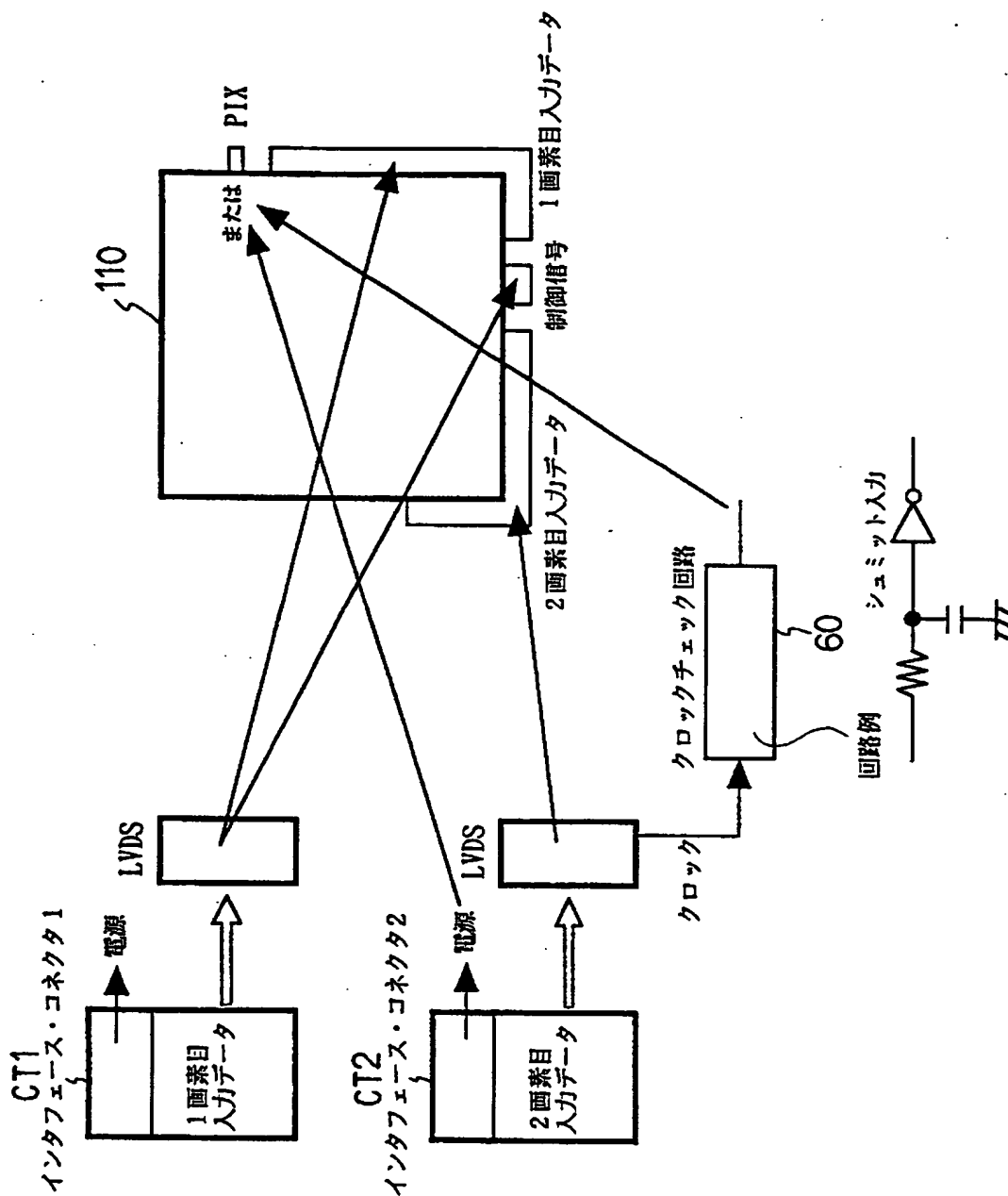
【図 1 7】

図 1 7



【図18】

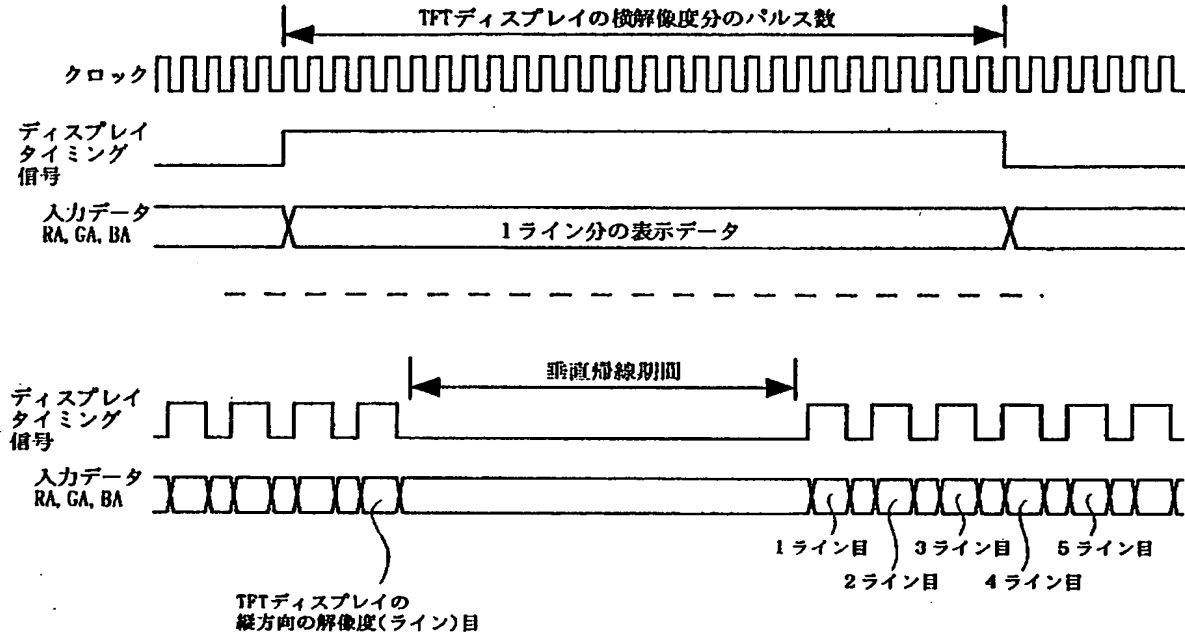
図18



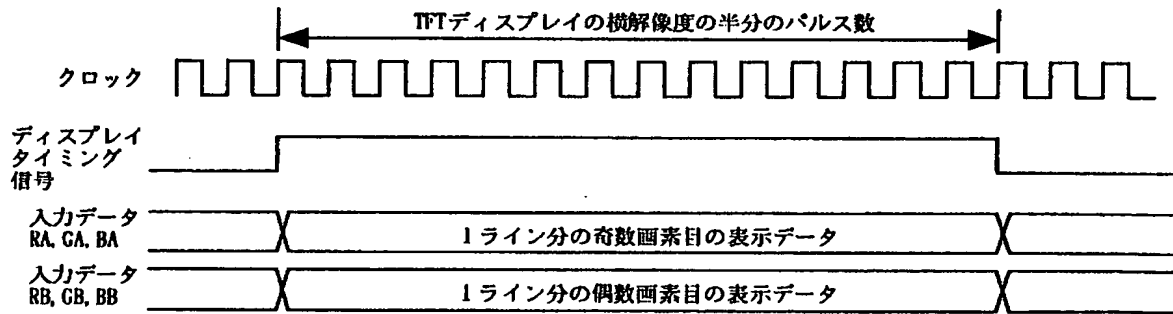
【図 1 9】

図 1 9

1 画素インタフェースの場合



2 画素インタフェースの場合

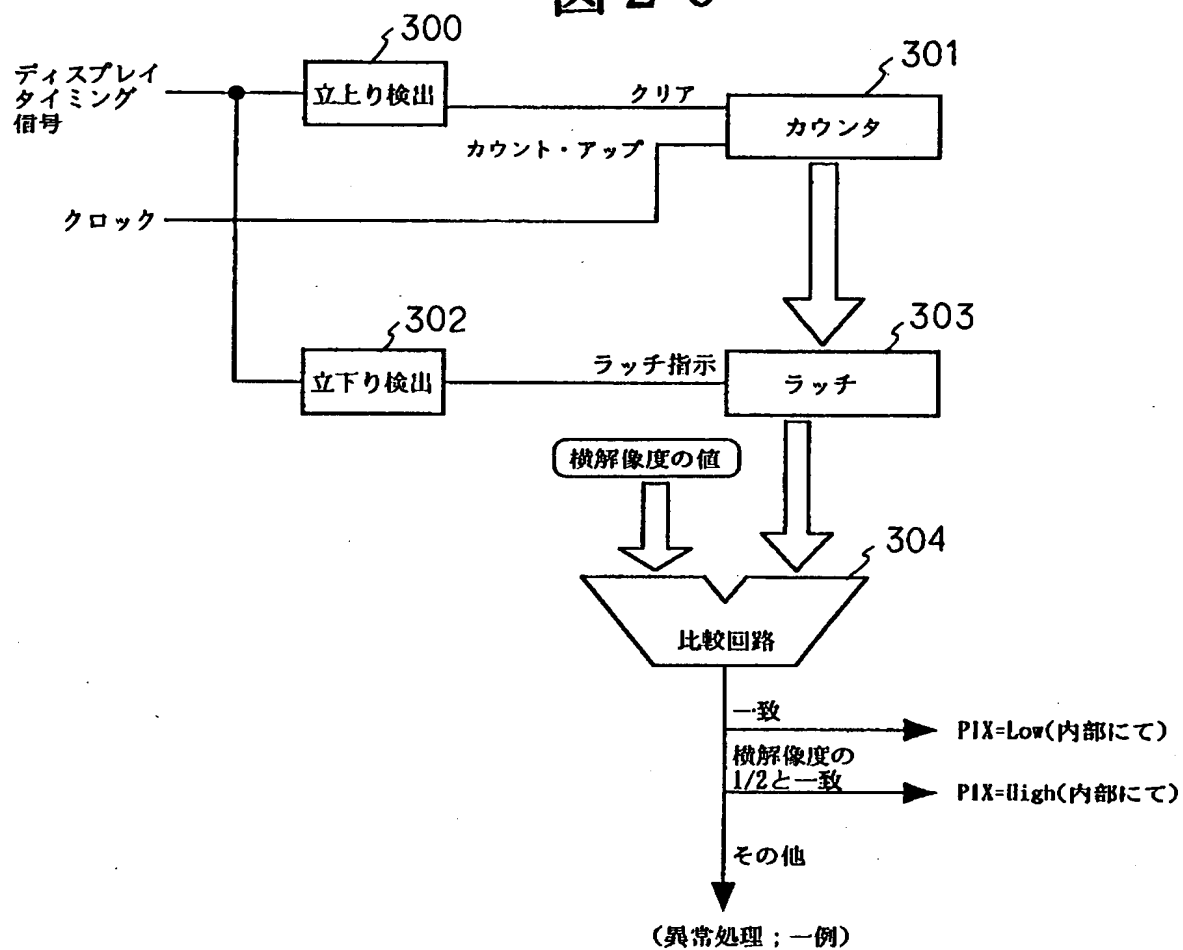


クロックの周期が、1 画素インタフェースと比べ、2 倍の時間となる。

(垂直掃線期間のタイミングは、1 画素インタフェースと同じ)

【図 2 0】

図 2 0



【書類名】 要約書

【要約】

【課題】 表示制御装置から駆動回路に無効表示データを含む表示データを転送する際に、バスライン上の転送周波数を低減することができる液晶表示装置を提供する。

【解決手段】 奇数番目の前記駆動回路用の表示データと、偶数番目の前記駆動回路用の表示データとを交互に前記複数の駆動回路に送出する表示制御装置とを備える液晶表示装置であって、前記表示制御装置は、前記偶数番目の駆動回路の少なくとも一つの駆動回路に無効表示データを送出する際に、前記偶数番目の駆動回路用の無効表示データの前に位置する、前記奇数番目の駆動回路用の有効表示データを、前記無効表示データとして送出する。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 千葉県茂原市早野3681番地
氏 名 日立デバイスエンジニアリング株式会社